

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 06124959
PUBLICATION DATE : 06-05-94

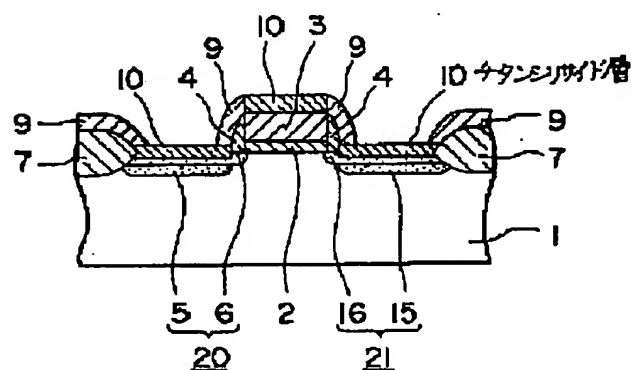
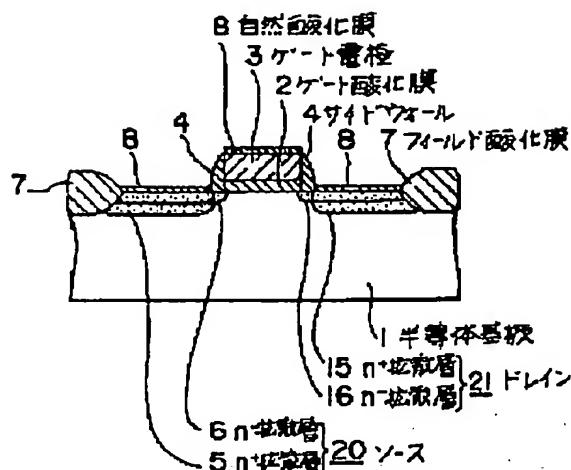
APPLICATION DATE : 12-10-92
APPLICATION NUMBER : 04272967

APPLICANT : KAWASAKI STEEL CORP;

INVENTOR : MURAKAMI TAKEHIRO;

INT.CL. : H01L 21/336 H01L 29/784 H01L 21/28

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To obtain the manufacturing method of a semiconductor device wherein the design dimension precision of a device is improved without generating crystal defect in a semiconductor substrate, and excellent ohmic contact between a metal silicide layer and the semiconductor substrate can be realized.

CONSTITUTION: A semiconductor substrate 1 wherein a gate electrode 3, a source 20 and a drain 21 are formed is set in a mixed gas atmosphere containing chlorine fluoride gas and hydrogen gas. By irradiating the mixed gas with ultraviolet rays, a natural oxide film 8 formed on the semiconductor substrate 1 is eliminated. Then a metal silicide layer 10 is formed on the gate electrode 3 surface, the source 20, and the drain 21.

COPYRIGHT: (C)1994,JPO&Japio

BEST AVAILABLE COPY

(11)特許出願公開番号

特開平6-124959

(43)公開日 平成6年(1994)5月6日

| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|---------|---------|---------------|---------|
| H 0 1 L 21/336 | | | | |
| 29/784 | | | | |
| 21/28 | 3 0 1 T | 9055-4M | | |
| | | 7377-4M | H 0 1 L 29/78 | 3 0 1 P |

審査請求 未請求 請求項の数 1 (全 6 頁)

(21)出願番号 特願平4-272967

(22)出願日 平成4年(1992)10月12日

(71)出願人 . 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 白石 忠義

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(72)発明者 手塚 好弘

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(72)発明者 村上 武宏

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

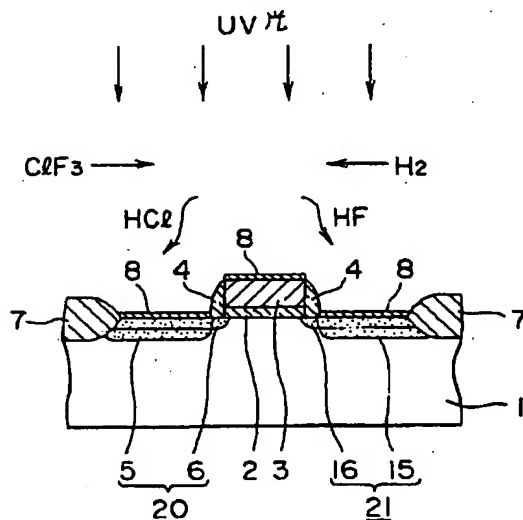
(74)代理人 弁理士 森 哲也 (外2名)

(54)【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体基板内部に結晶欠陥を発生することなく、デバイスの設計寸法精度を向上し、且つ金属シリサイド層と半導体基板との良好なオーミックコンタクトを取ることが可能な半導体装置の製造方法を提供する。

〔構成〕ゲート電極３、ソース２０及びドレイン２１が形成された半導体基板１を、フッ化塩素ガスと、水素ガスと、を含む混合ガス雰囲気中に装入し、当該混合ガスに紫外線を照射し、前記半導体基板１上に形成されている自然酸化膜８を除去した後、前記ゲート電極３表面、ソース２０及びドレイン２１上に、金属シリサイド層１０を形成する。



1

【特許請求の範囲】

【請求項1】 半導体基板上にゲート酸化膜を介して形成したゲート電極表面と、ソース及びドレイン上に、金属シリサイド層が形成されてなる半導体装置の製造方法において、

前記ゲート電極、ソース及びドレインが形成された半導体基板を、フッ化塩素ガスと、水素ガスと、を含む混合ガス雰囲気中に装入し、当該混合ガスに紫外線を照射し、前記半導体基板の自然酸化膜を除去する工程と、前記自然酸化膜を除去した後、前記ゲート電極表面、ソ

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に係り、特に、金属シリサイド層と半導体基板との良好なオーミックコンタクトを取ることが可能なMOS (Metal Oxide Semiconductor) トランジスタが形成された半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来から、LSI (Large Scale Integrated Circuit) の高集積化に伴い、デバイスの微細化が益々要求されてきている。このデバイスの微細化は、LSIの横方向(半導体基板の表面と平行な方向)だけでなく、高さ方向(半導体基板の表面に対して垂直な方向)にも行われている。従って、MOSトランジスタのゲート電極とソース及びドレインの寄生抵抗が急増し、同様の動作速度が著しく劣化するという問題が起こっている。

【0003】 そこで、特公平2-37093号公報に紹介されているように、ゲート電極の表面とソース及びドレイン上に、低抵抗な金属シリサイド層を形成することで、前記ゲート電極の表面とソース及びドレイン上に形成する層の抵抗を、従来の数十〜数百 Ω / \square から、数 Ω / \square まで低減させ、デバイス特性の向上を図る従来例が提案されている。

【0004】 一般的に、前記ゲート電極の表面とソース及びドレイン上に形成される金属シリサイド層は、通常、当該ゲート電極とソース及びドレインが形成された半導体基板の全面に、半導体材料と安定な化合物を形成することが可能な金属膜を形成し、これに熱処理(アニール)を行うことにより、前記ゲート電極とソース及びドレイン上に形成された前記金属膜のみをシリサイド化させ、未反応金属膜を選択的にエッチング除去することで形成される。

【0005】 しかしながら、前記方法で金属シリサイド層を形成する場合、前記半導体材料と安定な化合物を形成することが可能な金属膜を形成する際に、ゲート電極や半導体基板上に、自然酸化膜が存在すると、シリサイド化のための熱処理時に、当該自然酸化膜が前記金属膜

2

と半導体(シリコン)との合金化を妨げ、シリサイド反応が不均一となり、金属シリサイド層と半導体基板間とのオーミックコンタクトを充分に取ることができないという問題があった。

【0006】 そこで、通常、前記半導体材料と安定な化合物を形成することが可能な金属膜を形成する前の半導体基板に、HF溶液を用いた薬液処理を行っている。しかしながら、このHF溶液を用いた薬液処理は、薬液処理後に、純水による洗浄を行う必要があるため、前記半導体基板上やゲート電極の表面に、再び自然酸化膜が形成されよう問題があった。また、前記HF溶液により、半導体装置を構成するために必要である素子間分離用酸化膜(フィールド酸化膜)やゲート側壁保護用酸化膜(サイドウォール)等のように、故意に形成した酸化膜も同時にエッチングされてしまい、デバイスの設計寸法が変わり、デバイス特性に支障を来すという問題があった。

【0007】 そこで、前記特公平2-37093号公報では、この自然酸化膜に起因する悪影響をなくすため、前記半導体材料と安定な化合物を形成することが可能な金属膜と、半導体基板及びゲート電極との界面部に不純物イオンを注入することで、前記自然酸化膜を破壊し、金属シリサイド層と半導体基板とのオーミックコンタクトを良好にしている。

【0008】

【発明が解決しようとする課題】 しかしながら、前記特公平2-37093号公報で紹介している、イオン注入により自然酸化膜を破壊する方法は、金属シリサイド層と半導体基板とのオーミックコンタクトを良好にすることができるとの反面、イオン注入のダメージが半導体基板内部に発生し、接合リークが増加する等、素子特性に悪影響を与えるという問題があった。

【0009】 また、前記自然酸化膜の破壊が、一様に行われなかった場合は、その後の熱処理工程において、シリサイド化が不均一となり、例えば、その後に行う層間絶縁膜のリフロー時(熱処理時)に1000℃程度の熱がかかると、前記金属シリサイド層が凝集してゲート部、ソース及びドレイン部における層抵抗が増加するという深刻な問題を招いていた。

【0010】 本発明は、このような問題を解決することを課題とするものであり、半導体基板内部に結晶欠陥を発生することなく、デバイスの設計寸法精度を向上し、且つ金属シリサイド層と半導体基板との良好なオーミックコンタクトを取ることが可能な半導体装置の製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】 この目的を達成するために、本発明は、半導体基板上にゲート酸化膜を介して形成したゲート電極表面と、ソース及びドレイン上に、金属シリサイド層が形成されてなる半導体装置の製造方法

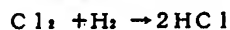
3

において、前記ゲート電極、ソース及びドレインが形成された半導体基板を、フッ化塩素ガスと、水素ガスと、を含む混合ガス雰囲気中に装入し、当該混合ガスに紫外線を照射し、前記半導体基板上の自然酸化膜を除去する工程と、前記自然酸化膜を除去した後、前記ゲート電極表面、ソース及びドレイン上に、金属シリサイド層を形成する工程と、を含むことを特徴とする半導体装置の製造方法を提供するものである。

【0012】

【作用】本発明によれば、ゲート電極、ソース及びドレインが形成された半導体基板をフッ化塩素ガスと、水素ガスと、を含む混合ガス雰囲気中に装入して当該混合ガスに紫外線を照射するため、当該混合ガスが、
 $2\text{ClF}_3 + 3\text{H}_2 \rightarrow 6\text{HF}^* + \text{Cl}_2$

に示すように反応してHFラジカルを生成する。この生成されたHFラジカルにより、半導体基板上やゲート電極の表面に形成されている自然酸化膜を除去することができる。ここで、前記反応により発生するHFラジカルは、極めて微量であるため、低級な酸化膜である自然酸化膜に対するエッチング速度は大きい、緻密な膜であるフィールド酸化膜やサイドウォール等のように、半導体装置を構成するうえで必要な酸化膜に対するエッチング速度は小さくなる。従って、前記自然酸化膜を除去する際に、フィールド酸化膜やサイドウォール等がエッチングされることがないため、デバイスの設計寸法が変化することがない。また、この時、同時に生成されるCl₂（塩素）は、すぐに、



となるため、塩素ラジカルにより、半導体基板やゲート電極等がエッチングされることがない。従って、半導体基板上やゲート電極の表面に形成された自然酸化膜のみを選択的に除去することができる。

【0013】また、前記方法により自然酸化膜を除去した後、前記ゲート電極表面、ソース及びドレイン上に、金属シリサイド層を形成するため、均一なシリサイド反応を行わせることができる。従って、例えば、その後に行う層間絶縁膜のリフロー時（熱処理時）に、前記金属シリサイド層に1000℃程度の熱がかかっても、当該金属シリサイド層が凝集を起こすことがない。このため、ゲート部、ソース及びドレイン部における層抵抗が増加することがなく、金属シリサイド層と半導体基板との良好なオーミックコンタクトを取ることができる。

【0014】さらに、前記自然酸化膜を破壊するためのイオン注入を必要としないため、半導体基板内部に結晶欠陥を発生することがなく、接合リークを低減でき、素子特性を向上することができる。

【0015】

【実施例】次に、本発明に係る一実施例について、図面を参照して説明する。図1ないし図5は、本発明の実施例に係るMOS型半導体装置の製造工程の一部を示す部

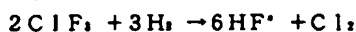
4

分断面図、図6は、本実施例で自然酸化膜を除去する際に使用する装置の断面図である。

【0016】図1に示す工程では、p型の半導体基板1の素子分離領域に、公知の選択酸化技術により、フィールド酸化膜7を形成する。次に、前記半導体基板1の素子形成領域に、膜厚が15nm程度の酸化膜を形成する。次いで、前記酸化膜上に、膜厚が350nm程度の多結晶シリコン膜を形成し、これに低抵抗化のための不純物をドーピングする。次に、前記不純物がドーピングされた多結晶シリコン膜及び前記酸化膜をパターニングして、ゲート電極3及びゲート酸化膜2を形成する。次いで、前記ゲート電極3をマスクとして、前記半導体基板1中に、n型不純物を低濃度でイオン注入し、n⁺拡散層6070尾16を形成する。次に、前記半導体基板1及びゲート電極3、ゲート酸化膜2の全面に、例えば、CVD（Chemical Vapor Deposition）法により、膜厚が200nm程度の酸化膜を形成する。次いで、この酸化膜に、反応性イオンエッチングによる異方性エッチングを行い、前記ゲート電極3の側壁に、当該酸化膜からなるサイドウォール4を形成する。次に、前記サイドウォール4及びゲート電極3をマスクとして、前記半導体基板1中に、n型不純物を高濃度でイオン注入し、n⁺拡散層5及び15を形成し、LDD（Lightly Doped Drain Structure）構造を得る。このようにして、n⁺拡散層5、n⁺拡散層6からなるソース20、n⁺拡散層15、n⁺拡散層16からなるドレイン21を形成した。その後、前記半導体基板1に熱処理を行い、前記ソース20領域及びドレイン21領域にイオン注入したn型不純物の電気的活性化を行う。ここで、前記ゲート電極3表面、ソース20及びドレイン21上には、自然酸化膜8が形成された。

【0017】次に、図2に示す工程では、図1に示す工程で得た半導体基板1を、図6に示す装置のチャンバ31内に装入し、当該半導体基板1をステージ32上に載置する。次いで、前記図6に示す装置のチャンバ31内に、フッ化塩素ガスとして、ClF₃ガスを供給するガス供給ボックス（図示せず）から、ClF₃ノズル34を介してClF₃ガスと、H₂ガス（水素ガス）を供給する供給ボックス（図示せず）からH₂ノズル35を介してH₂ガスを供給する。この時、前記ガスの分圧は、ClF₃ガスが、0.1～100 Torr、H₂ガスが、200～300 Torr、となるようにした。

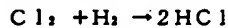
【0018】次いで、前記ClF₃ガス及びH₂ガスを含む混合ガス雰囲気中で、前記半導体基板1の表面に向けて、波長が150～350nmの紫外線（UV光）を、紫外光ランプ33から照射する。なお、本実施例では、前記紫外光ランプ33として、低圧水銀灯を使用した。この紫外線の照射により、チャンバ31内の混合ガスは、



5

に示すように反応し、生成されたHフラジカルにより、半導体基板1の表面に形成されている自然酸化膜8を除去する。この時、生成されるHFラジカルは、極めて微量であるため、低級な酸化膜である自然酸化膜8に対するエッチング速度は大きい、緻密な膜であるフィールド酸化膜7やサイドウォール4に対するエッチング速度は小さくなる。従って、前記自然酸化膜8を除去する際に、フィールド酸化膜7やサイドウォール4がエッチングされることがない。このため、デバイスの設計寸法が変化することがなく、デバイス特性に支障をきたすことがない。

【0019】また、この時、同時に生成されるCl₁は、すぐに、



となるため、塩素ラジカルにより半導体基板1やゲート電極3がエッチングされることがない。従って、半導体基板1の表面に形成された自然酸化膜8のみを選択的に除去することができる。

【0020】次いで、図3に示す工程では、図2に示す工程で自然酸化膜8が除去されたゲート電極3の表面、ソース20及びドレイン21上と、フィールド酸化膜7上、サイドウォール4表面に、半導体材料と安定な化合物を形成することが可能な金属膜として、チタン膜9を300Å程度の膜厚で形成する。次に、図4に示す工程では、図3に示す工程で得たチタン膜9に熱処理（アニール）を行い、半導体と接触しているチタン膜9、即ち、ゲート電極3の表面、ソース20及びドレイン21上に形成されているチタン膜9をシリサイド化し、膜厚が700Å程度のチタンシリサイド層10を形成する。

【0021】次いで、図5に示す工程では、図4に示す工程で、シリサイド化されなかったチタン膜9、即ち、フィールド酸化膜7上及びサイドウォール4表面に形成されている未反応のチタン膜9を、例えば、H₂O₂/NH₄OHを含有した水溶液で除去選択的に除去する。その後、図5に示す工程で得たチタンシリサイド層10上、フィールド酸化膜7上及びサイドウォール4表面に、層間絶縁膜を形成し、ゲート電極3、ソース20及びドレイン21にコンタクト孔を開孔し、所望の金属配線及び最終保護膜等を形成し、MOS型半導体装置を（発明品）完成した。

【0022】なお、本実施例に係るMOS型半導体装置は、前記層間絶縁膜をリフローする目的で行った高温熱処理工程後のゲート部、ソース及びドレイン部における層抵抗と、前記リフロー前のゲート部、ソース及びドレイン部における層抵抗がほぼ同じ値を示していた。次に、比較として、チタンシリサイド層を設けずに、前記実施例と同様の工程でMOS型半導体装置（比較品1）を製造した。

【0023】次いで、発明品と比較品1のゲート部、ソース及びドレイン部における層抵抗を測定したところ、

6

発明品の層抵抗は、3～5Ω/□であり、比較品1の層抵抗は、80～200Ω/□であった。これより、発明品は、ドレイン21（またはソース20）から延在する拡散層配線における信号の遅延時間を著しく減少することができることが確認された。また、接合リーク電流は、発明品及び比較品1ともほぼ同じ値であった。

【0024】次に、他の比較として、チタン膜形成前の半導体基板上やゲート電極上に形成されている自然酸化膜を、HF溶液を用いて除去した後、前記実施例と同様の工程を行いMOS型半導体装置（比較品2）を製造した。この比較品2は、層間絶縁膜をリフローする目的で行った高温熱処理後のゲート部、ソース及びドレイン部における層抵抗が、リフロー前のゲート部、ソース及びドレイン部における層抵抗に比べ、5～6倍も上昇していた。

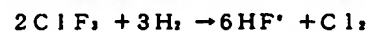
【0025】なお、本実施例では、図2に示す工程で、フッ化塩素ガスとして、ClF₃ガスをを用いたが、これに限らず、Cl₂F₂、ClF₂、ClF等を用いても同様の効果を得ることができる。また、図2に示す工程では、紫外光ランプ33として、低圧水銀灯を使用した。これに限らず、エキシマレーザのような紫外光（紫外線）を放射するものであれば、どのような紫外光ランプを使用してもよいことは勿論である。

【0026】さらに、図3に示す工程では、半導体材料と安定な化合物を形成することが可能な金属膜としてチタン膜9を形成したが、これに限らず、イリジウム、タンタル、パラジウム、白金、ニッケル、タングステン等のように、半導体材料と安定な化合物を形成することが可能であれば、他の金属を使用してもよい。また、本実施例では、LDD構造を有するMOS型半導体装置を製造する工程について説明したが、これに限らず、例えば、ソース及びドレインを形成する前に、シリサイド化が可能な金属膜を形成し、この金属膜をシリサイド化して金属シリサイド層を形成し、その後、ソース及びドレインを形成する等、他の工程においても、本発明は有効である。

【0027】そして、本実施例は、一例であり、本発明は、前記実施例に限定されるものではない。

【0028】

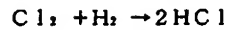
【発明の効果】以上説明したように、本発明に係る半導体装置の製造方法によれば、ゲート電極、ソース及びドレインが形成された半導体基板をフッ化塩素ガスと、水素ガスと、を含む混合ガス雰囲気中に装入して当該混合ガスに紫外線を照射するため、当該混合ガスが、



に示すように反応して、極めて微量なHFラジカルを生成し、前記半導体基板上やゲート電極の表面に形成されている自然酸化膜のみを選択的に除去することができる。従って、前記自然酸化膜を除去する際に、フィールド酸化膜やサイドウォール等がエッチングされることが

7

ない。また、この時同時に生成されるCl₂は、すぐに、



となるため、塩素ラジカルにより、半導体基板やゲート電極等がエッチングされることがない。この結果、デバイスの設計寸法が変化することがないため、デバイス特性を向上することができる。

【0029】また、前記方法により自然酸化膜を除去した後、前記ゲート電極表面、ソース及びドレイン上に、金属シリサイド層を形成するため、均一なシリサイド反

応を行わせることができ、その後に行う高温熱処理時に前記金属シリサイド層が凝集して層抵抗が増加することがない。この結果、金属シリサイド層と半導体基板との良好なオーミックコンタクトを取ることができる。

【0030】さらに、前記自然酸化膜を破壊するためのイオン注入を必要としないため、半導体基板内部に結晶欠陥が発生することがなく、接合リーク等の素子特性を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施例に係るMOS型半導体装置の製造工程の一部を示す部分断面図である。

【図2】本発明の実施例に係るMOS型半導体装置の製造工程の一部を示す部分断面図である。

8

【図3】本発明の実施例に係るMOS型半導体装置の製造工程の一部を示す部分断面図である。

【図4】本発明の実施例に係るMOS型半導体装置の製造工程の一部を示す部分断面図である。

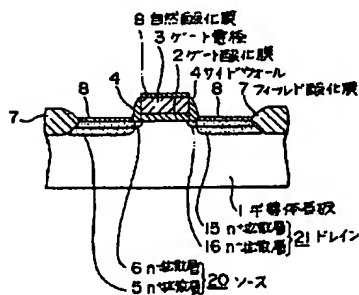
【図5】本発明の実施例に係るMOS型半導体装置の製造工程の一部を示す部分断面図である。

【図6】本実施例で自然酸化膜を除去する際に使用する装置の断面図である。

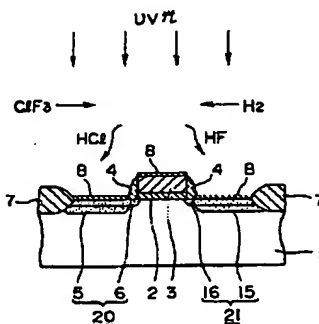
【符号の説明】

- | | |
|----|--------------------|
| 1 | 半導体基板 |
| 2 | ゲート酸化膜 |
| 3 | ゲート電極 |
| 4 | サイドウォール |
| 5 | n ⁺ 拡散層 |
| 6 | n ⁺ 拡散層 |
| 7 | フィールド酸化膜 |
| 8 | 自然酸化膜 |
| 9 | チタン膜 |
| 10 | チタンシリサイド膜 |
| 15 | n ⁺ 拡散層 |
| 16 | n ⁺ 拡散層 |
| 20 | ソース |
| 21 | ドレイン |

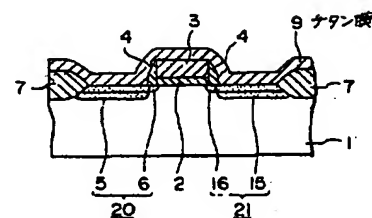
【図1】



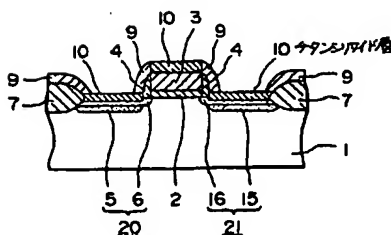
【図2】



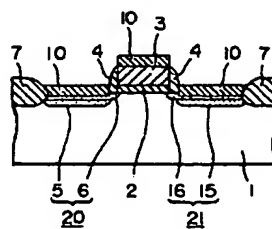
【図3】



【図4】



【図5】



(6)

特開平6-124959

【図6】

